



B

IFW

2811

15.45/6059

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:) Group Art Unit: 2811
TAKEUCHI)
Serial No. 09/930,365) Examiner: Hu, Shouxiang
Filed: June 19, 2001)
For: METHODS FOR MANUFACTURING)
SEMICONDUCTOR DEVICES AND)
SEMICONDUCTOR DEVICES HAVING)
TRENCH ISOLATION REGIONS)

TRANSMITTAL OF CERTIFIED COPY

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed is a certified copy of the priority document for U.S. Application Serial No. 09/930,365. This document is Japanese Patent Application Number 2000-246215. Applicant previously submitted a certified copy of this document, however, it apparently was not entered by the Office. It is noted that the Office records (PAIR) do include a Transmittal of Certified Copy document having an OIPE date stamp of Jan. 28, 2002. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585. A copy of this paper is enclosed.

Respectfully submitted,

Alan S. Raynes

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES & VICTOR LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
(310) 556-7983 (tele), (310) 556-7984 (fax)
Customer No. 24033

Dated: Sept. 14, 2006

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop Issue Fee, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on Sept. 14, 2006.

Alan S. Raynes

Alan S. Raynes, Reg. No. 39,809

Sept. 14, 2006
Date

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 8月15日

出願番号
Application Number:

特願2000-246215

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
country code and number
of your priority application,
used for filing abroad
under the Paris Convention, is

J P 2000-246215

願人
Applicant(s):

セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2006年 8月16日

特許庁長官
Commissioner,
Japan Patent Office

中嶋



【書類名】 特許願

【整理番号】 EP-0267501

【提出日】 平成12年 8月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 竹内 正浩

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トレンチ素子分離領域を有する半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程 (a) ~ (c) を含む、トレンチ素子分離領域を有する半導体装置の製造方法。

- (a) 半導体層において、トレンチを形成する工程、
- (b) 前記トレンチを充填する絶縁層を形成する工程、および
- (c) 前記絶縁層を熱処理する工程であって、
前記熱処理における温度は、1050℃以上である。

【請求項 2】 請求項 1 において、
前記工程 (b) で、前記絶縁層を膜密度 2.1 g/cm^3 以上で形成する、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、
前記熱処理における温度は、1100℃以上である、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 4】 請求項 1 ~ 3 のいずれかにおいて、
前記熱処理における温度は、1250℃以下である、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 5】 請求項 1 ~ 4 のいずれかにおいて、
前記絶縁層は、高密度プラズマ CVD 法により形成される、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 6】 請求項 1 ~ 5 のいずれかにおいて、
前記半導体層内において、ウェルを形成する工程 (d) を含み、
前記工程 (c) は、前記工程 (d) の前に行われる、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 7】 請求項 1 ~ 6 のいずれかにおいて、
前記トレンチにおける半導体層を熱酸化する工程 (e) を含む、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 8】 請求項 7 において、

前記工程 (e) における温度は、700～1150℃である、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 9】 請求項 1～8 のいずれかにおいて、

前記半導体層は、半導体基板の上に形成されたエピタキシャル成長層である、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 10】 請求項 9 において、

前記エピタキシャル成長層の厚さは、2 μm 以上である、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項 11】 請求項 1～10 のいずれかにおいて、

前記半導体装置は、トレンチ幅が 0.35 μm 以下のトレンチを有する、トレンチ素子分離領域を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に素子分離領域を有する半導体装置の製造方法に関する。

【0002】

【背景技術】

近年、半導体素子、たとえば MOS トランジスタの微細化に伴い、素子分離領域の微細化が必要となっている。素子分離領域の微細化を達成するため、トレンチ素子分離技術が検討されている。トレンチ素子分離技術とは、半導体素子間の基板上にトレンチを設け、このトレンチに絶縁材を充填することによって、半導体素子間を分離する技術である。

【0003】

【発明が解決しようとする課題】

本発明の目的は、リークが抑えられた、トレンチ素子分離領域を有する半導体装置の製造方法を提供することにある。

【0004】

【課題を解決するための手段】

本発明のトレンチ素子分離領域を有する半導体装置の製造方法は、以下の工程 (a) ~ (c) を含む。

- (a) 半導体層において、トレンチを形成する工程、
- (b) 前記トレンチを充填する絶縁層を形成する工程、および
- (c) 前記絶縁層を熱処理する工程であって、
前記熱処理における温度は、1050℃以上である。

【0005】

本発明においては、工程 (c) において、1050℃以上の温度で絶縁層を熱処理している。このため、絶縁層のストレスを解放することができる。その結果、本発明によれば、半導体層において、亀裂が生じるのを抑えることができ、リークの発生を抑制することができる。

【0006】

本発明は、前記工程 (b) で、前記絶縁層を膜密度 2.1 g/cm^3 以上で形成する場合に特に有用である。

【0007】

前記熱処理における温度は、1100℃以上であることが好ましい。これにより、亀裂が生じるのを確実に防止することができる。その結果、確実にリークの発生を防止することができる。

【0008】

前記熱処理における温度は、熱処理装置の熱耐性を考慮して、1250℃以下であることが好ましい。

【0009】

本発明は、前記絶縁層が、高密度プラズマCVD法により形成された場合に好適である。ここで、高密度プラズマとは、イオン密度が $1 \times 10^{11} \text{ /cm}^3$ 以上のプラズマをいう。

【0010】

また、前記半導体層内において、ウェルを形成する工程 (d) を含む場合は、前記工程 (c) は、前記工程 (d) の前に行われることが好ましい。これにより

、ウエルの熱拡散を防止することができる。

【0011】

前記トレンチにおける半導体層、すなわちトレンチ側面および底面の半導体層を熱酸化する工程（e）を含むことができる。工程（e）を含むことにより、トレンチにおける半導体層の隅部や角部が丸みを帯びることができる。前記工程（e）における温度は、たとえば700～1150℃、好ましくは950～1150℃である。この温度範囲により、半導体層の隅部や角部が確実に丸みを帯びることとなる。

【0012】

前記半導体層は、半導体基板の上に形成されたエピタキシャル成長層であることができる。前記エピタキシャル成長層の厚さは、2μm以上であることが好ましい。これにより、半導体基板の不純物の拡散による半導体素子への悪影響を防ぐことができる。

【0013】

本発明は、トレンチ幅が0.35μm以下のトレンチを有する半導体装置の製造に、特に有用である。ここでトレンチ幅とは、トレンチの上縁部の幅である。

【0014】

ここで、「半導体層」とは、半導体基板や、半導体基板の上に形成された半導体層（たとえばエピタキシャル成長層）を含む。

【0015】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0016】

（デバイスの構造）

以下、実施の形態に係る半導体装置を説明する。図1は、実施の形態に係る半導体装置を模式的に示す断面図である。

【0017】

半導体装置100は、トレンチ素子分離領域30と、MISトランジスタ50、60とを有する。半導体装置100の具体的な構成は、次のとおりである。

【0018】

半導体基板10の上に、エピタキシャル成長層12が形成されている。エピタキシャル成長層12内に、トレンチ素子分離領域30が形成されている。トレンチ素子分離領域30は、エピタキシャル成長層12に設けられたトレンチ32内に、絶縁層40が充填されて形成されている。エピタキシャル成長層12と絶縁層40との間には、トレンチ酸化膜34が形成されている。トレンチ素子分離領域30は、素子領域を画定している。

【0019】

一方の素子領域におけるエピタキシャル成長層12内には、n型のウエル52が形成されている。また、他方の素子領域におけるエピタキシャル成長層12内には、p型のウエル62が形成されている。n型のウエル52が形成された素子領域にはp型MISトランジスタ50が形成され、p型のウエル62が形成された素子領域にはn型MISトランジスタ60が形成されている。

【0020】

(製造プロセス)

次に、実施の形態に係る半導体装置の製造方法について説明する。図2～図8は、本実施の形態に係る半導体装置100の製造工程を模式的に示す断面図である。

【0021】

まず、図2(a)に示すように、半導体基板10の上に、エピタキシャル成長層12を形成する。エピタキシャル成長層12は、たとえば、シラン(SiH_4)ガスを流して、半導体基板10の表面にシリコンをエピタキシャル成長させることにより形成される。エピタキシャル成長層12の厚さは、好ましくは $2\mu\text{m}$ 以上、より好ましくは $3\sim 10\mu\text{m}$ である。

【0022】

次に、図2(b)に示すように、エピタキシャル成長層12上に、パッド層14を形成する。パッド層14の材質としては、たとえば酸化シリコン、酸化窒化シリコンなどを挙げることができる。パッド層14が酸化シリコンからなる場合には、熱酸化法、CVD法などにより形成することができ、酸化窒化シリコンか

らなる場合には、CVD法などにより形成することができる。パッド層14の膜厚は、たとえば5～20nmである。

【0023】

次に、パッド層14上に、研磨ストッパ層16を形成する。研磨ストッパ層16としては、たとえば窒化シリコン層、多結晶シリコン層および非晶質シリコン層のいずれかの単層構造であるか、または、窒化シリコン層と多結晶シリコン層と非晶質シリコン層との中から選択される少なくとも2種からなる多層構造などを挙げることができる。研磨ストッパ層16の形成方法としては、公知の方法たとえばCVD法などを挙げることができる。研磨ストッパ層16は、後のCMPにおけるストッパとして機能するのに十分な膜厚、たとえば50～200nmの膜厚を有する。

【0024】

次に、図3(a)に示すように、研磨ストッパ層16の上に、所定のパターンのレジスト層R1を形成する。レジスト層R1は、トレンチ32が形成されることになる領域の上方において、開口されている。

【0025】

次に、レジスト層R1をマスクとして、研磨ストッパ層16およびパッド層14をエッチングする。このエッチングは、たとえばドライエッチングにより行われる。

【0026】

次に、図3(b)に示すように、レジスト層R1をアッシングにより除去する。次いで、研磨ストッパ層16をマスクとして、エピタキシャル成長層12をエッチングし、トレンチ32を形成する。トレンチ32の深さは、デバイスの設計により異なるが、たとえば300～500nmである。エピタキシャル成長層12のエッチングは、ドライエッチングにより行うことができる。トレンチ32におけるテーパ角度 α は、特に限定されないが、好ましくは75～85度である。

【0027】

次に、図4(a)に示すように、熱酸化法により、トレンチ32におけるエピタキシャル成長層12の露出面を酸化し、トレンチ酸化膜34を形成する。この

熱酸化は、エピタキシャル成長層 12 をラウンド酸化する機能を有する。すなわち、トレンチ 32 の隅部（トレンチ側面とトレンチ底面とがつくる隅部）32a におけるエピタキシャル成長層 12 や、エピタキシャル成長層 12 の凸部の角部 32b が丸みを帯びる。熱酸化の温度は、エピタキシャル成長層 12 をラウンド酸化できれば特に限定されないが、たとえば 700～1150℃、好ましくは 950～1150℃である。トレンチ酸化膜 34 の膜厚は、たとえば 10～100 nm である。

【0028】

次に、図 4（b）に示すように、トレンチ 32 を埋め込むようにして、絶縁層 40 を全面に堆積する。絶縁層 40 の材質としては、たとえば酸化シリコンを挙げることができる。絶縁層 40 の膜厚は、トレンチ 32 を埋め込み、少なくとも研磨ストッパ層 16 を覆うような膜厚、たとえば 500～800 nm である。絶縁層 40 の堆積は、膜密度が 2.1 g/cm^3 以上、好ましくは 2.3 g/cm^3 以上となる方法により行われる。この絶縁層 40 の堆積方法は、高密度プラズマ CVD 法を挙げることができる。ここで高密度プラズマとは、イオン密度が $1 \times 10^{11} \text{ /cm}^3$ 以上のプラズマをいう。

【0029】

次に、図 5（a）に示すように、絶縁層 40 を平坦化する。この平坦化は、研磨ストッパ層 16 が露出するまで行う。つまり、研磨ストッパ層 16 をストッパとして、絶縁層 40 を平坦化する。絶縁層 40 の平坦化は、たとえば化学的機械的研磨法により行うことができる。

【0030】

次に、図 5（b）に示すように、研磨ストッパ層 16 を、たとえば熱リン酸液を用いて除去する。次に、図 6（a）に示すように、パッド層 14 と絶縁層 40 の上部とを、フッ酸により等方性エッチングする。

【0031】

次に、図 6（b）に示すように、熱酸化法により、エピタキシャル成長層 12 の露出面に、犠牲酸化膜 20 を形成する。犠牲酸化膜 20 の膜厚は、たとえば 10～20 nm である。

【0032】

次に、絶縁層40を熱処理する。絶縁層40を熱処理することにより、絶縁層40のストレスを解放することができる。その結果、エピタキシャル成長層において、絶縁層40のストレスに起因する亀裂が生じるのを抑えることができ、リークを抑えることができる。熱処理における温度は、1050℃以上であり、好ましくは1100℃以上である。熱処理における温度が1100℃以上であると、リークの発生を確実に防止することができる。また、熱処理における温度は、熱処理装置の熱耐性を考慮して、1250℃以下であることが好ましい。熱処理は、不活性ガスの雰囲気下、酸素雰囲気下で行うことができる。熱処理時間は、たとえば20～120分、好ましくは40～80分である。こうして、トレンチ素子分離領域30が形成される。

【0033】

次に、図7(a)に示すように、所定のパターンを有するレジスト層R2を形成する。レジスト層R2は、n型のウエルとなる領域において開口されている。このレジスト層R2をマスクとして、リン、ヒ素などのn型不純物を1回もしくは複数回にわたってエピタキシャル成長層12に注入することにより、エピタキシャル成長層12内にn型のウエル52を形成する。その後、レジスト層R2を除去する。

【0034】

次に、図7(b)に示すように、所定のパターンを有するレジスト層R3を形成する。レジスト層R3は、p型のウエルとなる領域において開口されている。このレジスト層R3をマスクとして、ボロンなどのp型不純物を1回もしくは複数回にわたってエピタキシャル成長層12に注入することにより、エピタキシャル成長層12内にp型のウエル62を形成する。その後、レジスト層R3を除去する。

【0035】

次に、図8に示すように、犠牲酸化膜20と絶縁層40の上部とを、フッ酸により等方性エッチングする。次に、図1に示すように、公知の方法により、各素子領域において、p型MOSトランジスタ50と、n型MOSトランジスタ60

とを形成する。

【0036】

(作用効果)

以下、実施の形態に係る作用効果を説明する。

【0037】

(a) 本実施の形態においては、1050℃以上の温度で、絶縁層40を熱処理する工程を含む。このため、膜密度が高い緻密な絶縁層40におけるストレスを緩和することができる。その結果、絶縁層40に起因するエピタキシャル成長層12の亀裂が生じるのを抑えることができる。したがって、リークの発生を抑えることができる。また、熱処理の温度が1100℃以上である場合には、リークの発生を確実に防止することができる。

【0038】

なお、絶縁層を熱処理しないか、熱処理をしたとしても上記の温度で熱処理しないと、絶縁層のストレスにより、幅が狭いトレンチにおけるエピタキシャル成長層において亀裂が生じ、リークが発生する傾向がある。

【0039】

(b) 絶縁層40の熱処理工程は、ウエルの形成前に行っている。その結果、絶縁層40の熱処理によって、ウエルが拡散することがない。

【0040】

(c) 上記の実施の形態は、トレンチ幅が0.35μm以下、好ましくは0.3μm以下のトレンチを有する半導体装置の製造において、特に有用である。

【0041】

(d) エピタキシャル成長層12の厚さが2μm以上であると、半導体基板10の不純物がエピタキシャル成長層12内に拡散しても、半導体素子に悪影響が生じるのを確実に防止することができる。

【0042】

(実験例)

トレンチを充填する絶縁層を熱処理した場合と、そうでない場合とで、ジャンクションリークにおいてどのような差が生じるか調べた。

【0043】

図9は、n型の不純物拡散層とp型のウエルとのジャンクションにおける、ジャンクションリーク電流とトレンチ幅との関係を示すグラフである。なお、ジャンクションリーク電流は N^+ (Pwell) リークに着目した。すなわち、電子のリークに着目した。また、n型の不純物拡散層に対する半導体基板の電圧を2.7Vとした。

【0044】

図10は、p型の不純物拡散層とn型のウエルとのジャンクションにおける、ジャンクションリーク電流とトレンチ幅との関係を示すグラフである。なお、ジャンクションリーク電流は、 P^+ (Nwell) リークに着目した。すなわち、正孔のリークに着目した。また、p型の不純物拡散層に対する半導体基板の電圧を-2.7Vとした。

【0045】

なお、●は、熱処理温度が1100℃の場合のデータである。□は、熱処理温度が1000℃の場合のデータである。×は、絶縁層の熱処理をしていない場合のデータである。トレンチ幅は、トレンチの上端部の幅である。

【0046】

試験体は、上記の実施の形態に則って製造された。具体的な条件は、絶縁層は、高密度プラズマCVD法により形成された。絶縁層の熱処理は、30分間窒素雰囲気下で、常圧の条件下で行われた。

【0047】

図9および図10から、絶縁層を熱処理しない場合には、トレンチ幅が狭くなると（図9では $0.35\mu\text{m}$ 以下、図10では $0.3\mu\text{m}$ 以下）、ジャンクションリーク電流は $1\text{E}-10$ のオーダーとなり、ジャンクションリークが発生していることがわかる。なお、ノイズレベルは、 $1\text{E}-11$ のオーダーである。これに対し、絶縁層を1100℃で熱処理した場合には、トレンチ幅が狭くても、ジャンクションリーク電流は、 $1\text{E}-11$ のオーダー（ノイズレベル）のままである。以上から、絶縁層を1100℃以上で熱処理すると、確実にジャンクションリークを防止することができることがわかる。

【0048】

なお、図9および図10から、絶縁層を熱処理しても、熱処理の温度が1000℃である場合には、ジャンクションリーク電流の増加を抑えることができないことがわかる。

【0049】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】**【図1】**

実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図3】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図4】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図5】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図6】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図7】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図8】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図9】

n型の不純物拡散層とp型のウエルとのジャンクションにおける、ジャンクションリーク電流とトレンチ幅との関係を示すグラフである。

【図10】

p型の不純物拡散層とn型のウエルとのジャンクションにおける、ジャンクシ

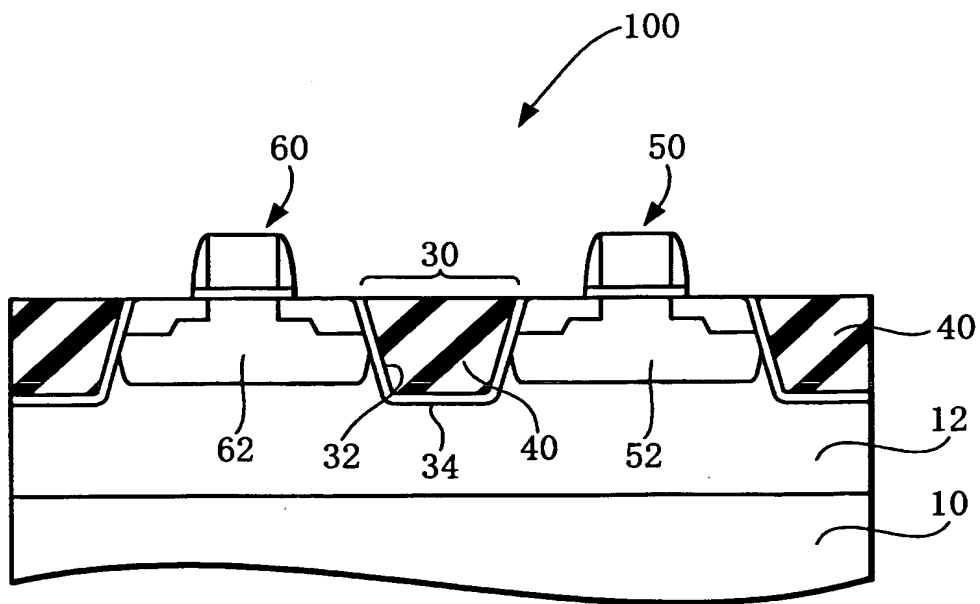
オンリー電流とトレンチ幅との関係を示すグラフである。

【符号の説明】

- 1 0 半導体基板
- 1 2 エピタキシャル成長層
- 1 4 パッド層
- 1 6 研磨ストッパ層
- 2 0 犠牲酸化膜
- 3 0 トレンチ素子分離領域
- 3 2 トレンチ
- 3 4 トレンチ酸化膜
- 4 0 絶縁層
- 5 0 p型MOSトランジスタ
- 5 2 n型のウエル
- 6 0 n型MOSトランジスタ
- 6 2 p型のウエル
- 1 0 0 半導体装置

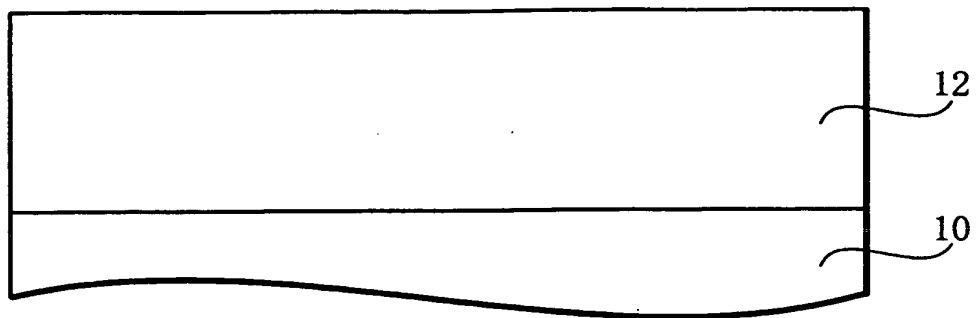
【書類名】 図面

【図 1】

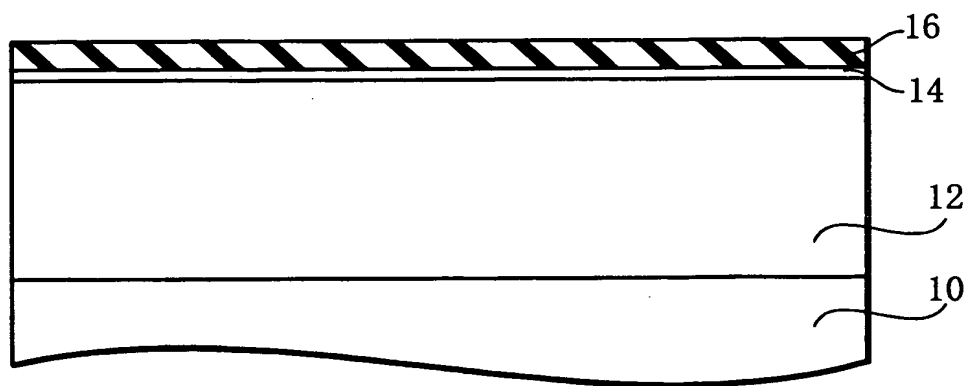


【図 2】

(a)

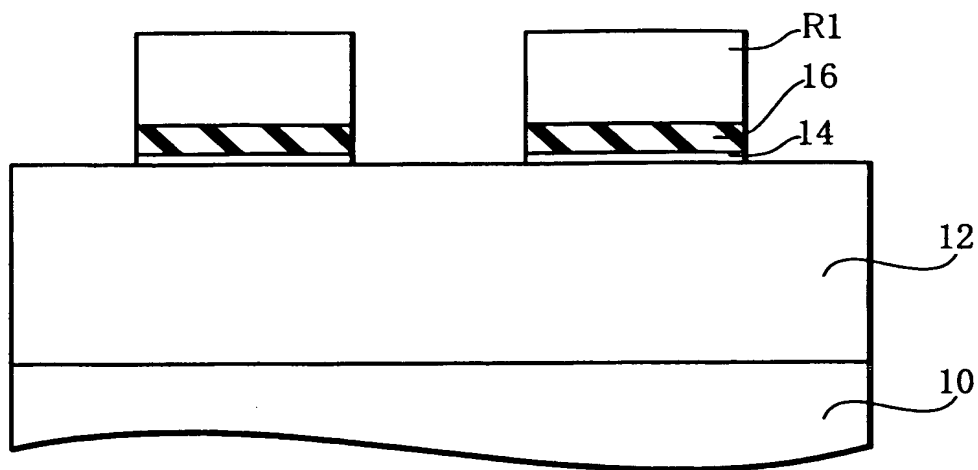


(b)

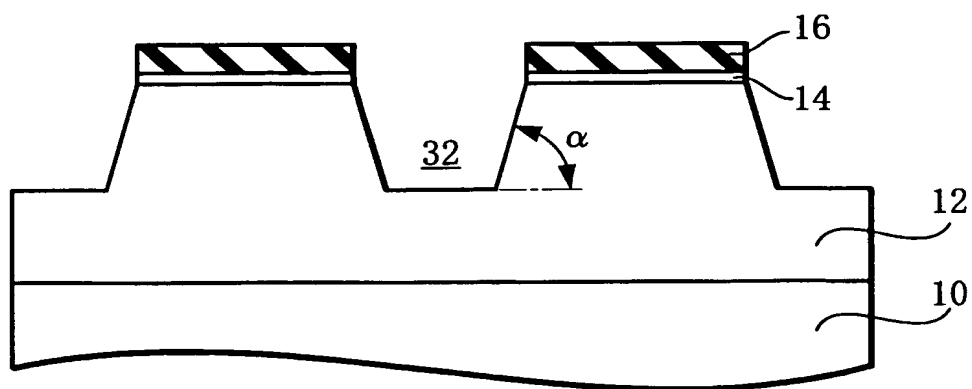


【図 3】

(a)

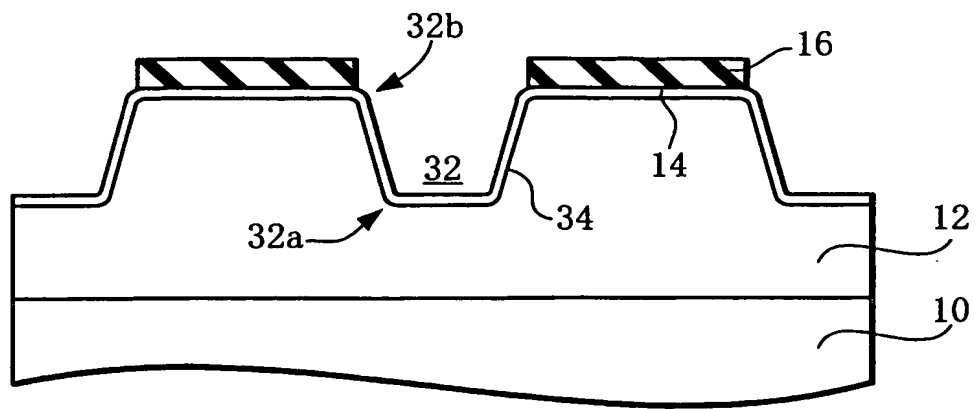


(b)

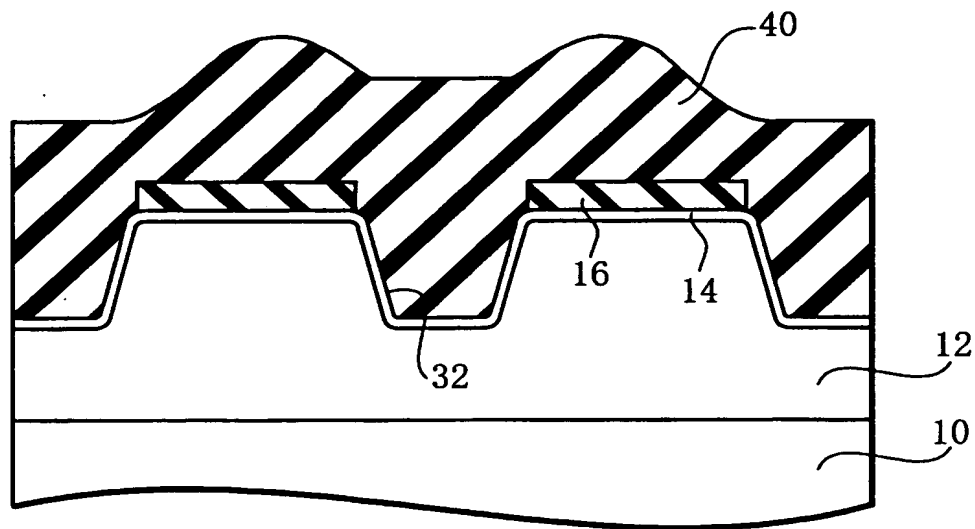


【図 4】

(a)

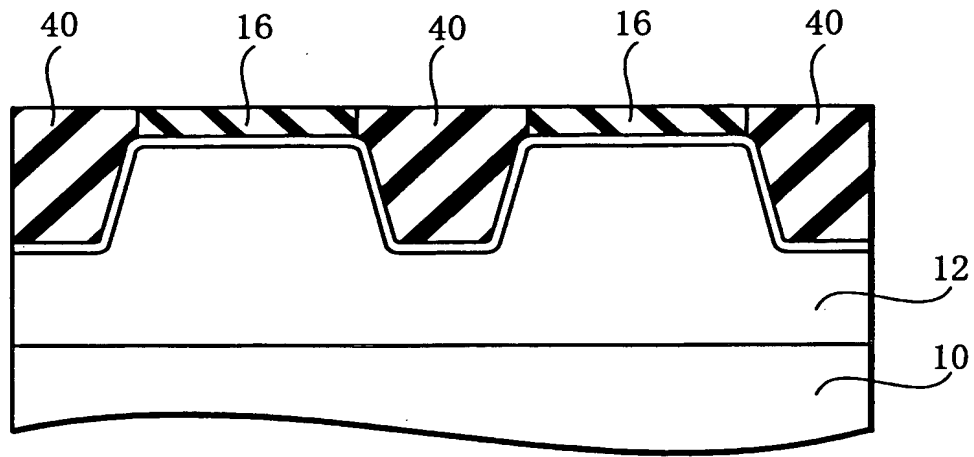


(b)

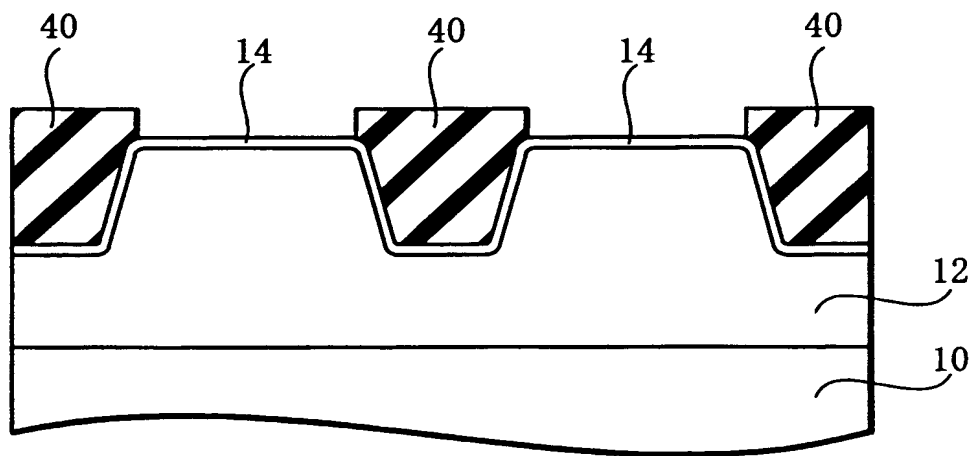


【図 5】

(a)

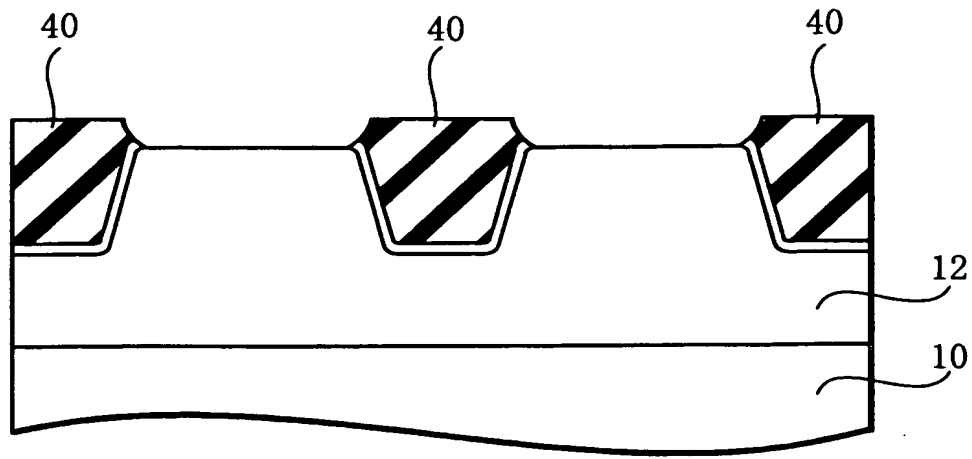


(b)

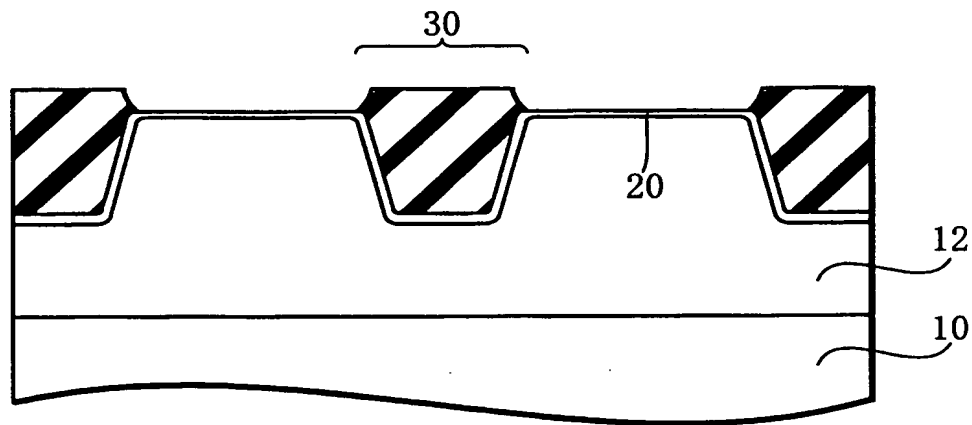


【図 6】

(a)

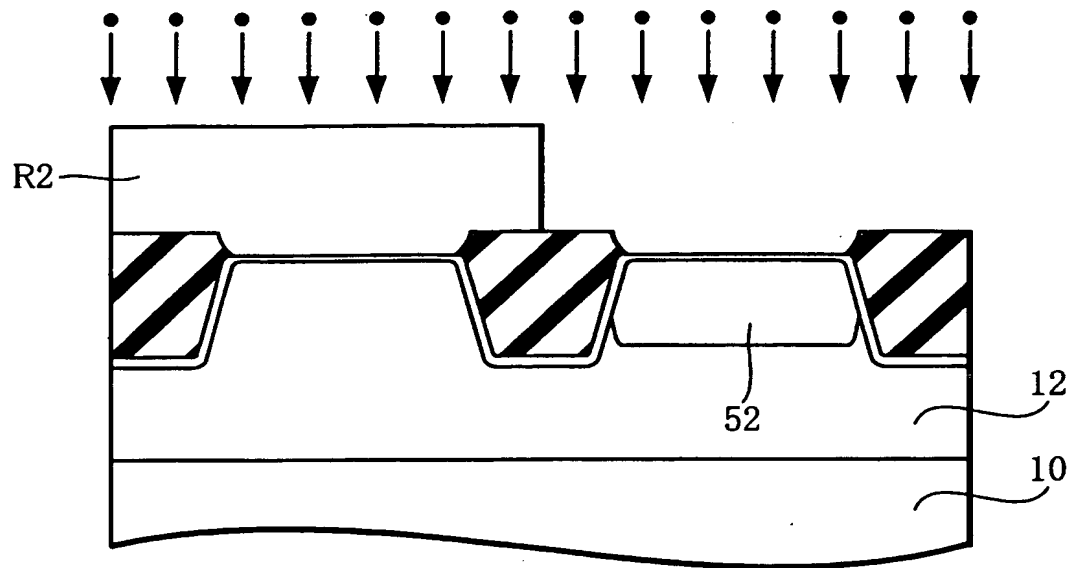


(b)

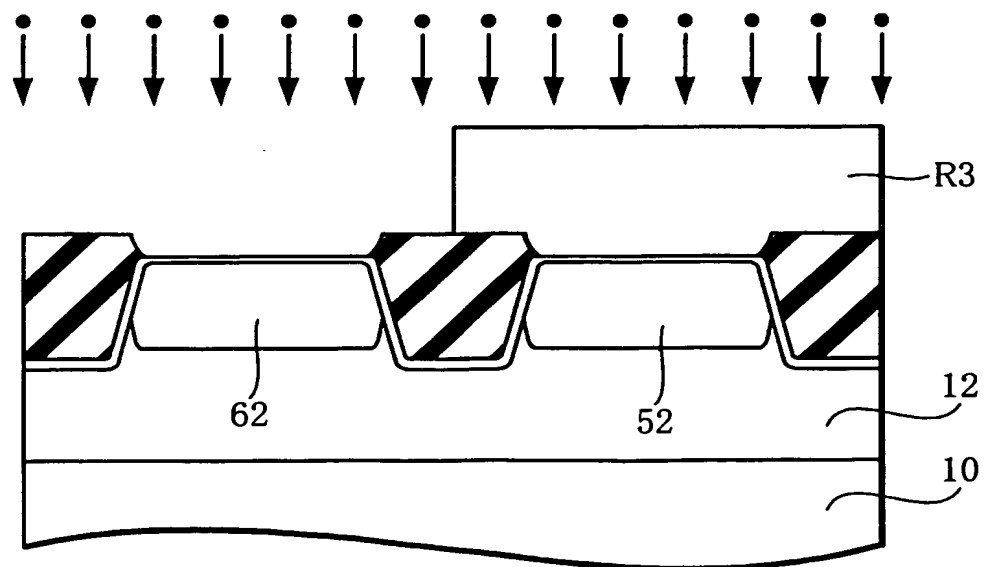


【図 7】

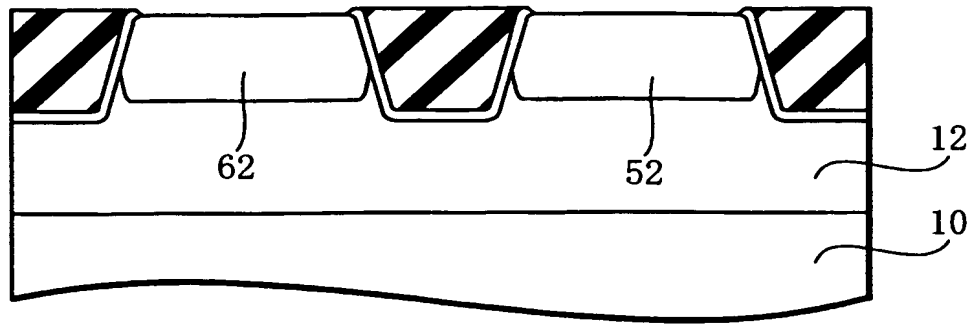
(a)



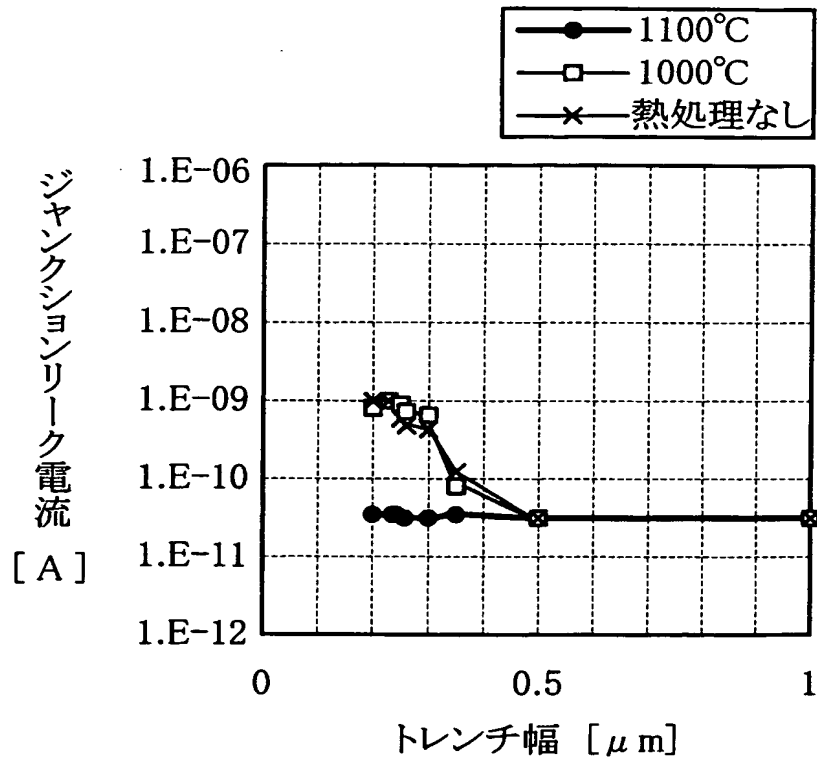
(b)



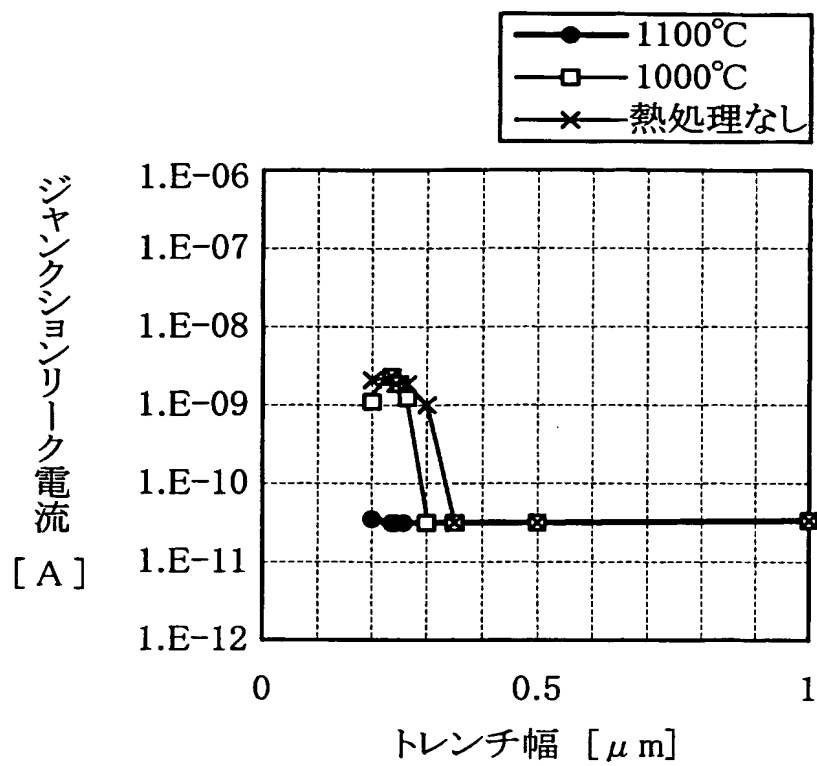
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 リークが抑えられた、トレンチ素子分離領域を有する半導体装置の製造方法を提供する。

【解決手段】 トレンチ素子分離領域を有する半導体装置の製造方法は、以下の工程（a）～（c）を含む。（a）半導体層 1 2 において、トレンチ 3 2 を形成する工程、（b）トレンチ 3 2 を充填する絶縁層 4 0 を形成する工程、および（c）絶縁層 4 0 を熱処理する工程であって、熱処理における温度は、1 0 5 0℃以上である。

【選択図】 図 1

特願 2 0 0 0 - 2 4 6 2 1 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社